

Family list**14 family members for:****WO9813811**

Derived from 10 applications.

- 1 DISPLAY DEVICE**
Publication info: EP0863495 A1 - 1998-09-09
EP0863495 A4 - 2001-03-28
EP0863495 B1 - 2005-08-24
- 2 Display apparatus**
Publication info: EP1465257 A1 - 2004-10-06
- 3 DISPLAY DEVICE**
Publication info: JP3555141B2 B2 - 2004-08-18
- 4 DISPLAY DEVICE**
Publication info: JP2004062179 A - 2004-02-26
- 5 DISPLAY DEVICE**
Publication info: JP2004062180 A - 2004-02-26
- 6 No English title available**
Publication info: TW442697 B - 2001-06-23
- 7 DISPLAY APPARATUS**
Publication info: US6542137 B2 - 2003-04-01
US2001054991 A1 - 2001-12-27
- 8 Display apparatus**
Publication info: US6862011 B2 - 2005-03-01
US2003090214 A1 - 2003-05-15
- 9 Light-emitting apparatus and method of manufacturing light-emitting apparatus**
Publication info: US2004196220 A1 - 2004-10-07
- 10 DISPLAY DEVICE**
Publication info: WO9813811 A1 - 1998-04-02

Data supplied from the esp@cenet database - Worldwide

DISPLAY DEVICE

Patent number: WO9813811
Publication date: 1998-04-02
Inventor: KIMURA MUTSUMI (JP); KIGUCHI HIROSHI (JP)
Applicant: SEIKO EPSON CORP (JP); KIMURA MUTSUMI (JP); KIGUCHI HIROSHI (JP)
Classification:
- **International:** G09F9/30; H01L29/78
- **European:** H01L21/84; H01L27/12; H01L29/786B4B
Application number: WO1997JP03424 19970925
Priority number(s): JP19960255191 19960926

Also published as:

EP0863495 (A1)
US6542137 (B2)
US2001054991 (A)
EP0863495 (A4)
EP0863495 (B1)

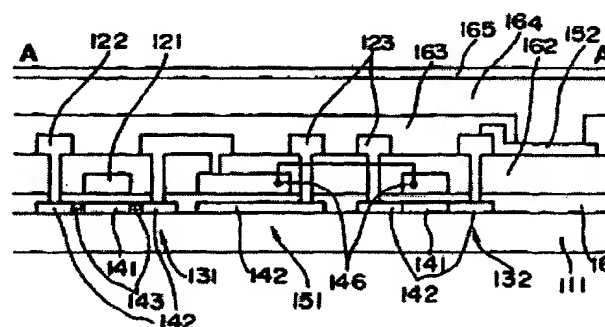
Cited documents:

JP4362616
JP8116067
JP60033593

Report a data error he

Abstract of WO9813811

In a current-driven thin film transistor display device, both purposes of decreasing the off-current of a switching thin film transistor and increasing the on-current of a current thin film transistor are simultaneously accomplished. In order to accomplish the above-mentioned purposes, the switching thin film transistor is constructed in an LDD or offset structure and the current thin film transistor is constructed in a self-aligning structure. Alternatively, both the switching thin film transistor and current thin film transistor are constructed in LDD or offset structures and the LDD or offset length of the switching thin film transistor is made longer than that of the current thin film transistor.



Data supplied from the esp@cenet database - Worldwide



PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 G09F 9/30, H01L 29/78</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/13811</p> <p>(43) 国際公開日 1998年4月2日(02.04.98)</p>
<p>(21) 国際出願番号 PCT/JP97/03424</p> <p>(22) 国際出願日 1997年9月25日(25.09.97)</p> <p>(30) 優先権データ 特願平8/255191 1996年9月26日(26.09.96) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 木村 睦(KIMURA, Mutsumi)[JP/JP] 木口浩史(KIGUCHI, Hiroshi)[JP/JP] 〒392 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒163 東京都新宿区西新宿二丁目4番1号 セイコーエプソン株式会社内 Tokyo, (JP)</p>		<p>(81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: DISPLAY DEVICE</p> <p>(54)発明の名称 表示装置</p> <p>(57) Abstract</p> <p>In a current-driven thin film transistor display device, both purposes of decreasing the off-current of a switching thin film transistor and increasing the on-current of a current thin film transistor are simultaneously accomplished. In order to accomplish the above-mentioned purposes, the switching thin film transistor is constructed in an LDD or offset structure and the current thin film transistor is constructed in a self-aligning structure. Alternatively, both the switching thin film transistor and current thin film transistor are constructed in LDD or offset structures and the LDD or offset length of the switching thin film transistor is made longer than that of the current thin film transistor.</p>		

(57) 要約

電流駆動薄膜トランジスタ表示装置において、スイッチング薄膜トランジスタのオフ電流の低減と、カレント薄膜トランジスタのオン電流の増加を、同時に実現することを目的とする。

そして、この目的を達成するために、スイッチング薄膜トランジスタは、LDD構造またはオフセット構造とし、カレント薄膜トランジスタは、セルフアライン構造とする。あるいは、スイッチング薄膜トランジスタ及びカレント薄膜トランジスタは、LDD構造またはオフセット構造とし、スイッチング薄膜トランジスタの、LDD長またはオフセット長を、カレント薄膜トランジスタよりも、長くする。

PCTに基づいて公開される国際出版のパンフレット第一頁に記載されたPCT加盟国を特定するために使用されるコード (参考情報)

AL	アルバニア	ES	スペイン	LK	スリランカ	SE	スウェーデン
AM	アルメニア	FR	フランス	LR	リベリア	SG	シンガポール
AT	オーストリア	GB	イギリス	LS	レソト	SI	スロベニア共和国
AU	オーストラリア	GE	グルジア	LT	リトアニア	SK	スロバキア共和国
AZ	アゼルバイジャン	GR	ギリシャ	LV	ラトヴィア	SL	シエラレオネ
BA	ボスニア・エルツェゴビナ	CH	スイス	MC	モナコ	SN	セネガル
BB	バルバドス	GM	ガムビア	MD	モルドヴァ共和国	SZ	スワジランド
BE	ベルギー	CN	中国	MG	マダガスカル	TD	チャド
BF	ブルキナ・ファソ	GW	ギニアビサウ	MK	マケドニア共和国	TG	トーゴ
BG	ブルガリア	HU	ハンガリー	ML	マリ	TJ	タジキスタン
BJ	ベナン	IE	アイルランド	MN	モンゴル	TM	トルクメニスタン
BR	ブラジル	IL	イスラエル	MW	モザンビーク	TR	トルコ
BY	ベラルーシ	IT	イタリア	MX	メキシコ	TT	トリニダード・トバゴ
CA	カナダ	JP	日本	NE	ニジェール	UG	ウガンダ
CF	中央アフリカ共和国	KE	ケニア	NL	オランダ	US	米国
CG	コンゴ	KR	韓国	NO	ノルウェー	UZ	ウズベキスタン
CH	スイス	KG	キルギスタン	NZ	ニュージーランド	VN	ベトナム
CI	コート・ジボアール	KZ	カザフスタン	PL	ポーランド	YU	ユーゴスラビア
CM	カメルーン	LC	セントルシア	PT	ポルトガル	ZW	ジンバブエ
CN	中国	LI	リヒテンシュタイン	RO	ルーマニア		
CU	キューバ			RU	ロシア連邦		
CZ	チェコ共和国			SD	スーダン		
DE	ドイツ						
DK	デンマーク						
EE	エストニア						

明 細 書

表示装置

技術分野

本発明は、電流発光素子の駆動を薄膜トランジスタで行う、表示装置（電流駆動薄膜トランジスタ表示装置）に関する。

背景技術

薄膜トランジスタ表示装置は、軽量、薄型、高画質及び高精細を実現する表示装置として、多種かつ多数用いられている。これまでに開発された薄膜トランジスタ表示装置は、薄膜トランジスタ液晶表示装置に代表されるように、主に信号電圧の電送もしくは微小電荷の転送のためのものであった。しかし、今後開発が進むであろう E L (Electroluminescence) 表示装置等の自発光型パネルや発熱パネル等においては、電流駆動が可能でかつメモリ機能を持つ素子が必須になると考えられる。

第 10 図は、電流駆動薄膜トランジスタ表示装置の、等価回路図 (a) 及び電位関係図 (b) である。ここでは、発光材料として、有機蛍光材料を用いている。

第 10 図 (a) 中、121 は走査線、122 は信号線、123 は共通給電線、131 はスイッチング薄膜トランジスタ、132 はカレント薄膜トランジスタ、151 は保持容量、152 は画素電極、164 は有機蛍光材料、165 は対向電極である。また、第 10 図 (b) において、421 は走査電位、422 は信号電位、423 は共通電位、451 は保持電位、452 は画素電位、465 は対向電位である。

ここで、スイッチング薄膜トランジスタ 131 は、走査線 122

の電位により、信号線 1 2 2 と保持容量 1 5 1 との導通を制御するトランジスタである。すなわち、走査電位 4 2 1 により、信号電位 4 2 2 が保持電位 4 5 1 に伝達される。表示する画素に対しては、信号電位 4 2 2 が高電位となり、保持電位 4 5 1 が高電位となる。表示しない画素に対しては、信号電位 4 2 2 が低電位となり、保持電位 4 5 1 が低電位となる。

一方、カレント薄膜トランジスタ 1 3 2 は、保持容量 1 5 1 の電位により、共通給電線 1 2 3 と画素電極 1 5 2 との導通を制御するトランジスタである。すなわち、保持電位 4 5 1 により、共通電位 4 2 3 が画素電位 4 5 2 に伝達される。表示する画素に対しては、共通給電線 1 2 3 と画素電極 1 5 2 が導通され、表示しない画素に対しては、共通給電線 1 2 3 と画素電極 1 5 2 が切断される。

この結果、表示する画素に対しては、画素電極 1 5 2 と対向電極 1 6 5 間に電流が流れ、有機蛍光材料 1 6 4 が発光する。表示しない画素に対しては、電流が流れず、発光しない。

このように、電流駆動薄膜トランジスタ表示装置には、スイッチング薄膜トランジスタ 1 3 1 及びカレント薄膜トランジスタ 1 3 2 が存在する。そして、いずれの薄膜トランジスタも、通常の半導体製造プロセスで製造される電界効果型トランジスタであり、従来の電流駆動薄膜トランジスタ表示装置では、両薄膜トランジスタがなるべく同規格のトランジスタである方が製造コストの低減が図られる等の理由から、両薄膜トランジスタとしては、同様な構造の薄膜トランジスタが用いられていた。

確かに、両方の薄膜トランジスタが同様の構造であったとしても、電流駆動薄膜トランジスタ表示装置として、致命的な欠点がある訳ではない。しかし、電流駆動薄膜トランジスタ表示装置に関する研究を鋭意行った本発明者等によれば、高品質の製品とするためには、上記両方の薄膜トランジスタは、互いに異なる特性を重視した構造とすることが好適であることが判った。

すなわち、スイッチング薄膜トランジスタ 1 3 1 には、保持容量 1 5 1 への電荷の保持を、より確実にするために、オフ電流の低減が要求される。これに対し、カレント薄膜トランジスタ 1 3 2 には、有機蛍光材料 1 6 4 の発光を、より高輝度にすために、オン電流の増加が要求される。

しかし、電流駆動薄膜トランジスタ表示装置において、上記両方の薄膜トランジスタの特性を、積極的に異ならせるという技術思想は存在しなかった。

本発明は、このような知見に基づいてなされたものであって、スイッチング薄膜トランジスタ 1 3 1 のオフ電流の低減と、カレント薄膜トランジスタ 1 3 2 のオン電流の増加とを、同時に実現した電流駆動薄膜トランジスタ表示装置を提供することを目的としている。

発明の開示

上記目的を達成するために、請求の範囲第 1 項に係る発明は、複数の走査線、複数の信号線及び複数の共通給電線が形成され、前記走査線と前記信号線との各交点に対応して、スイッチング薄膜トランジスタ、カレント薄膜トランジスタ、保持容量及び画素電極が形成され、前記スイッチング薄膜トランジスタは、前記走査線の電位により、前記信号線と前記保持容量との導通を制御し、前記カレント薄膜トランジスタは、前記保持容量の電位により、前記共通給電線と前記画素電極との導通を制御する表示装置において、前記スイッチング薄膜トランジスタを、オフ電流の低減を重視したトランジスタとし、前記カレント薄膜トランジスタを、オン電流の増加を重視したトランジスタとした。

この請求の範囲第 1 項に係る発明によれば、スイッチング薄膜トランジスタ及びカレント薄膜トランジスタの両トランジスタを、それぞれに要求される性能に応じて、オフ電流の低減を重視した構造又はオン電流の増加を重視した構造としているから、保持容量に対

する電荷の保持がより確実に行われるとともに、画素電極に対する十分な通電がより確実に行われる。

上記目的を達成するために、請求の範囲第2項に係る発明は、複数の走査線、複数の信号線及び複数の共通給電線が形成され、前記走査線と前記信号線との各交点に対応して、スイッチング薄膜トランジスタ、カレント薄膜トランジスタ、保持容量及び画素電極が形成され、前記スイッチング薄膜トランジスタは、前記走査線の電位により、前記信号線と前記保持容量との導通を制御し、前記カレント薄膜トランジスタは、前記保持容量の電位により、前記共通給電線と前記画素電極との導通を制御する表示装置において、前記スイッチング薄膜トランジスタのチャンネル領域と高濃度不純物領域との間には、低濃度不純物領域を形成し、前記カレント薄膜トランジスタのチャンネル領域と高濃度不純物領域とは、直接接続した。

つまり、この請求の範囲第2項に係る発明は、スイッチング薄膜トランジスタをLDD構造のトランジスタとし、カレント薄膜トランジスタをセルフアライン構造のトランジスタとしている。

この請求の範囲第2項に係る発明によれば、スイッチング薄膜トランジスタのオフ電流の低減が図られるとともに、カレント薄膜トランジスタのオン電流の増加が図られるから、保持容量に対する電荷の保持がより確実に行われるとともに、画素電極に対する十分な通電がより確実に行われる。

上記目的を達成するために、請求の範囲第3項に係る発明は、複数の走査線、複数の信号線及び複数の共通給電線が形成され、前記走査線と前記信号線との各交点に対応して、スイッチング薄膜トランジスタ、カレント薄膜トランジスタ、保持容量及び画素電極が形成され、前記スイッチング薄膜トランジスタは、前記走査線の電位により、前記信号線と前記保持容量との導通を制御し、前記カレント薄膜トランジスタは、前記保持容量の電位により、前記共通給電線と前記画素電極との導通を制御する、表示装置において、前記ス

スイッチング薄膜トランジスタ及び前記カレント薄膜トランジスタのそれぞれのチャネル領域と高濃度不純物領域との間に、低濃度不純物領域を形成し、前記スイッチング薄膜トランジスタの低濃度不純物領域長の方を、前記カレント薄膜トランジスタの低濃度不純物領域長よりも長くした。

つまり、この請求の範囲第3項に係る発明は、スイッチング薄膜トランジスタ及びカレント薄膜トランジスタの両方をLDD構造のトランジスタとしているが、スイッチング薄膜トランジスタの低濃度不純物領域長（LDD長）の方を、前記カレント薄膜トランジスタのLDD長よりも長くしているのである。

この請求の範囲第3項に係る発明によっても、上記請求の範囲第2項に係る発明と同様の作用が得られる。

上記目的を達成するために、請求の範囲第4項に係る発明は、複数の走査線、複数の信号線及び複数の共通給電線が形成され、前記走査線と前記信号線との各交点に対応して、スイッチング薄膜トランジスタ、カレント薄膜トランジスタ、保持容量及び画素電極が形成され、前記スイッチング薄膜トランジスタは、前記走査線の電位により、前記信号線と前記保持容量との導通を制御し、前記カレント薄膜トランジスタは、前記保持容量の電位により、前記共通給電線と前記画素電極との導通を制御する表示装置において、前記スイッチング薄膜トランジスタのチャネル領域と高濃度不純物領域との間には、チャネル領域と同程度の不純物濃度の領域を形成し、前記カレント薄膜トランジスタのチャネル領域と高濃度不純物領域とは、直接接続した。

つまり、この請求の範囲第4項に係る発明は、スイッチング薄膜トランジスタは、オフセット構造のトランジスタとし、カレント薄膜トランジスタは、セルフアライン構造のトランジスタとした。

この請求の範囲第4項に係る発明によれば、スイッチング薄膜トランジスタのオフ電流の低減が図られるとともに、カレント薄膜ト

ランジスタのオン電流の増加が図られるから、保持容量に対する電荷の保持がより確実に行われるとともに、画素電極に対する十分な通電がより確実に行われる。

上記目的を達成するために、請求の範囲第5項に係る発明は、複数の走査線、複数の信号線及び複数の共通給電線が形成され、前記走査線と前記信号線との各交点に対応して、スイッチング薄膜トランジスタ、カレント薄膜トランジスタ、保持容量及び画素電極が形成され、前記スイッチング薄膜トランジスタは、前記走査線の電位により、前記信号線と前記保持容量との導通を制御し、前記カレント薄膜トランジスタは、前記保持容量の電位により、前記共通給電線と前記画素電極との導通を制御する表示装置において、前記スイッチング薄膜トランジスタ及び前記カレント薄膜トランジスタのそれぞれのチャンネル領域と高濃度不純物領域との間に、チャンネル領域と同程度の不純物濃度の領域を形成し、前記スイッチング薄膜トランジスタの前記チャンネル領域と同程度の不純物濃度の領域長の方を、前記カレント薄膜トランジスタの前記チャンネル領域と同程度の不純物濃度の領域長よりも長くした。

つまり、この請求の範囲第5項に係る発明は、スイッチング薄膜トランジスタ及びカレント薄膜トランジスタの両方をオフセット構造のトランジスタとしているのであるが、スイッチング薄膜トランジスタのオフセット長の方を、カレント薄膜トランジスタのオフセット長よりも長くしているのである。

この請求の範囲第5項に係る発明によっても、上記請求の範囲第4項に係る発明と同様の作用が得られる。

また、請求の範囲第6項に係る発明は、上記請求の範囲第1～5項に係る発明である表示装置において、前記保持容量を、前記走査線と、前記スイッチング薄膜トランジスタまたは前記カレント薄膜トランジスタのチャンネル領域との間の、ゲート絶縁膜を利用して形成した。

この請求の範囲第 6 項に係る発明によれば、薄いゲート絶縁膜を保持容量に用いることで、小面積かつ大容量の保持容量を形成することが可能となる。

これに対し、請求の範囲第 7 項に係る発明は、上記請求の範囲第 1 ～ 5 項に係る発明である表示装置において、前記保持容量を、前記走査線と、前記信号線との間の、層間絶縁膜を利用して形成した。

この請求の範囲第 7 項に係る発明によれば、層間絶縁膜を保持容量に用いることで、設計の自由度が向上する。

図面の簡単な説明

第 1 図は、本発明の第 1 の実施の形態における表示装置の一部を示す回路図である。第 2 図は、第 1 の実施の形態における表示装置の断面図 (a) 及び平面図 (b) である。第 3 図は、第 1 の実施の形態における表示装置の製造工程を示す図である。第 4 図は、第 1 の実施の形態における各薄膜トランジスタの特性を示す図である。第 5 図は、本発明の第 2 の実施の形態における表示装置の断面図 (a) 及び平面図 (b) である。

第 6 図は、本発明の第 3 の実施の形態における表示装置の断面図 (a) 及び平面図 (b) である。第 7 図は、第 3 の実施の形態における表示装置の製造工程を示す図である。第 8 図は、第 3 の実施の形態における各薄膜トランジスタの特性を示す図である。第 9 図は、本発明の第 4 の実施の形態における表示装置の断面図 (a) 及び平面図 (b) である。第 10 図は、電流駆動薄膜トランジスタ表示装置の等価回路図 (a) 及び電位関係図 (b) である。

発明を実施するための最良の形態

以下、本発明の好ましい実施の形態を、図面に基づいて説明する。

(1) 第 1 の実施の形態

第 1 図～第 4 図は、本発明の第 1 の実施の形態を示す図であって、この実施の形態は、本発明に係る表示装置を、EL 表示素子を用いたアクティブマトリクス型の表示装置に適用したものである。

第 1 図は、本実施の形態における表示装置 1 の一部を示す回路図であって、この表示装置 1 は、透明の表示基板上に、複数の走査線 1 2 1 と、これら走査線 1 2 1 に対して交差する方向に延びる複数の信号線 1 2 2 と、これら信号線 1 2 2 に並列に延びる複数の共通給電線 1 2 3 と、がそれぞれ配線された構成を有するとともに、走査線 1 2 1 及び信号線 1 2 2 の各交点毎に、画素領域素子 1 A が設けられている。

信号線 1 2 2 に対しては、シフトレジスタ、レベルシフタ、ビデオライン、アナログスイッチを備えるデータ側駆動回路 3 が設けられている。また、走査線 1 2 1 に対しては、シフトレジスタおよびレベルシフタを備える走査側駆動回路 4 が設けられている。さらに、また、画素領域 1 A の各々には、走査線 1 2 1 を介して走査信号がゲート電極に供給されるスイッチング薄膜トランジスタ 1 3 1 と、このスイッチング薄膜トランジスタ 1 3 1 を介して信号線 1 2 2 から供給される画像信号を保持する保持容量 1 5 1 と、該保持容量 1 5 1 によって保持された画像信号がゲート電極に供給されるカレント薄膜トランジスタ 1 3 2 と、このカレント薄膜トランジスタ 1 3 2 を介して共通給電線 1 2 3 に電氣的に接続したときに共通給電線 1 2 3 から駆動電流が流れ込む画素電極 1 5 2 と、この画素電極 1 5 2 と対向電極 1 6 5 との間に挟み込まれる有機蛍光材料 1 6 4 と、が設けられている。

第 2 図 (a) 及び (b) は、第 1 図に示した各画素領域 1 A の構造を示す断面図及び平面図である。なお、断面図 (a) は、平面図 (b) の A-A' 線断面図である。また、第 2 図中、1 4 1 はチャネル領域、1 4 2 は高濃度不純物領域、1 4 3 は低濃度不純物領域、1 4 6 は中継配線、1 6 1 はゲート絶縁膜、1 6 2 は層間絶縁膜、

1 6 3 は最上層の絶縁膜をそれぞれ示している。

第 3 図 (a)、(b)、(c)、(d) 及び (e) は、表示装置 1 の製造工程を示す断面図であり、第 2 図 (b) の A-A' 線断面図に相当する。また、第 3 図中、2 1 1 はレジストマスク、2 2 1 は高濃度不純物ドーブ、2 2 2 は低濃度不純物ドーブをそれぞれ示している。

製造工程の詳細は、次の通りである。

先ず、第 3 図 (a) に示すように、後にスイッチング薄膜トランジスタ 1 3 1 及びカレント薄膜トランジスタ 1 3 2 のチャネル領域 1 4 1 やソース・ドレイン領域、並びに、保持容量 1 5 1 の一方の電極となる半導体膜を成膜しこれをパターニングして、島状の半導体膜 1 4 0 を形成する。そして、それら半導体膜 1 4 0 を覆うようにゲート絶縁膜 1 6 1 を形成する。

次いで、第 3 図 (b) に示すように、レジストマスク 2 1 1 を成膜しこれをパターニングする。このとき、後にスイッチング薄膜トランジスタ 1 3 1 が形成される位置のレジストマスク 2 1 1 (第 3 図 (b) 左側のレジストマスク 2 1 1) は、チャネル領域長よりも若干幅広とする。そして、高濃度不純物ドーブ 2 2 1 を行って、高濃度不純物領域 1 4 2 を形成する。

次いで、第 3 図 (c) に示すように、金属膜を成膜しこれをパターニングして、走査線 1 2 1 及び中継配線 1 4 6 を形成する。そして、それら走査線 1 2 1 及び中継配線 1 4 6 をマスクとして、低濃度不純物ドーブ 2 2 2 を行う。すると、走査線 1 2 1 の幅はチャネル領域長に等しいから、その下側の高濃度不純物領域 1 4 2 のさらに内側に、低濃度不純物領域 1 4 3 が形成される。また、その低濃度不純物領域 1 4 3 のさらに内側が、チャネル領域 1 4 1 となる。

この結果、LDD 構造のスイッチング薄膜トランジスタ 1 3 1 と、セルフアライン構造のカレント薄膜トランジスタ 1 3 2 とが形成される。

そして、第 3 図 (d) に示すように、層間絶縁膜 1 6 2 を成膜、コンタクトホールを形成し、さらに、金属膜を成膜しこれをパターニングして、信号線 1 2 2 及び共通給電線 1 2 3 を形成する。

次いで、第 3 図 (e) に示すように、画素電極 1 5 2 を形成し、最上層の絶縁膜 1 6 3 を形成する。さらにこの後、有機蛍光材料 1 6 4 及び対向電極 1 6 5 を形成する。

第 4 図は、第 1 の実施の形態におけるスイッチング薄膜トランジスタ 1 3 1 及びカレント薄膜トランジスタ 1 3 2 のそれぞれの特性を示す図である。なお、第 4 図中、3 1 1 は L D D 構造であるスイッチング薄膜トランジスタ 1 3 1 の特性であり、3 2 1 はセルフアライン構造であるカレント薄膜トランジスタ 1 3 2 の特性である。これによれば、スイッチング薄膜トランジスタ 1 3 1 は、オフ電流が小さく、逆に、カレント薄膜トランジスタ 1 3 2 は、オン電流が大きいことがわかる。

つまり、本実施の形態の表示装置 1 にあっては、スイッチング薄膜トランジスタ 1 3 1 のオフ電流の低減と、カレント薄膜トランジスタ 1 3 2 のオン電流の増加とを、同時に実現している。この結果、保持容量 1 5 1 に対する電荷の保持をより確実に行えるとともに、画素電極 1 6 2 に対する十分な通電をより確実に行うことができる。

また、本実施の形態では、保持容量 1 5 1 を、ゲート絶縁膜 1 6 1 を利用して形成しているが、一般に、ゲート絶縁膜 1 6 1 は、他の絶縁膜よりも薄く形成される。このため、小面積かつ大容量の保持容量 1 5 1 を形成することができるという利点がある。

なお、本発明の思想に基づいているものであれば、薄膜トランジスタ表示装置の構造、製造方法、材料については、どのようなものであってもかまわない。

(2) 第 2 の実施の形態

第 5 図は本発明の第 2 の実施の形態を示す図であって、第 2 図と同様に、表示領域 1 A の構造を示す断面図及び平面図であり、断面

図 (a) は、平面図 (b) の B-B' 線断面図である。なお、上記第 1 の実施の形態と同様の構成には、同じ符号を付し、その重複する説明は省略する。

すなわち、本実施の形態では、スイッチング薄膜トランジスタ 131 及びカレント薄膜トランジスタ 132 の両方を、LDD 構造としている。ただし、スイッチング薄膜トランジスタ 131 の LDD 長の方を、カレント薄膜トランジスタ 132 の LDD 長よりも長くしている。

このような構造であっても、上記第 1 の実施の形態と同様に、スイッチング薄膜トランジスタ 131 のオフ電流の低減と、カレント薄膜トランジスタ 132 のオン電流の増加を同時に実現することができる。

(3) 第 3 の実施の形態

第 6 図～第 8 図は、本発明の第 3 の実施の形態を示す図であって、この実施の形態も、上記第 1 の実施の形態と同様に、本発明に係る薄膜トランジスタ表示装置を、EL 表示素子を用いたアクティブマトリクス型の表示装置に適用したものである。なお、全体的な構成は第 1 の実施の形態の第 1 図と同様であるため、その図示及び説明は省略するとともに、上記第 1 の実施の形態と同様の構成には同じ符号を付し、その重複する説明は省略する。

第 6 図は、第 2 図と同様に、表示領域 1A の構造を示す断面図及び平面図であり、断面図 (a) は、平面図 (b) の C-C' 線断面図である。なお、144 はチャネル領域と同程度の不純物濃度の領域を示している。

第 7 図 (a) ～ (e) は、本実施の形態における表示装置 1 の製造工程を示す断面図であるが、かかる製造工程は、上記第 1 の実施の形態における製造工程と略同じであり、異なるのは、低濃度不純物領域 143 を形成するための低濃度不純物ドーピング 222 を行わない点である。

つまり、第 7 図 (c) に示すように、金属膜を成膜しパターニングして走査線 1 2 1 及び中継配線 1 4 6 を形成し、これにより、スイッチング薄膜トランジスタ 1 3 1 及びカレント薄膜トランジスタ 1 3 2 を完成させる。従って、スイッチング薄膜トランジスタ 1 3 1 の高濃度不純物領域 1 4 2 とチャネル領域 1 4 1 との間には、チャネル領域 1 4 1 と同程度の不純物濃度の領域 1 4 4 が形成されることになるから、かかるスイッチング薄膜トランジスタ 1 3 1 は、オフセット構造のトランジスタとなる。

第 8 図は、本実施の形態におけるスイッチング薄膜トランジスタ 1 3 1 及びカレント薄膜トランジスタ 1 3 2 のそれぞれの特性を示す図である。なお、第 8 図中、3 1 2 はオフセット構造であるスイッチング薄膜トランジスタ 1 3 1 の特性であり、3 2 1 はセルフアライン構造であるカレント薄膜トランジスタ 1 3 2 の特性である。これによれば、スイッチング薄膜トランジスタ 1 3 1 は、オフ電流が小さく、逆に、カレント薄膜トランジスタ 1 3 2 は、オン電流が大きいことがわかる。

つまり、本実施の形態の表示装置 1 にあっても、上記第 1 の実施の形態と同様に、スイッチング薄膜トランジスタ 1 3 1 のオフ電流の低減と、カレント薄膜トランジスタ 1 3 2 のオン電流の増加とを、同時に実現している。この結果、保持容量 1 5 1 に対する電荷の保持をより確実に行えたとともに、画素電極 1 6 2 に対する十分な通電をより確実に行うことができる。

また、本実施の形態では、保持容量 1 5 1 を、層間絶縁膜 1 6 2 を利用して形成している。このため、走査線 1 2 1 及び信号線 1 2 2 により、高濃度不純物領域 1 4 2 無しで保持容量 1 5 1 が形成でき、設計の自由度が向上するという利点がある。

(4) 第 4 の実施の形態

第 9 図は本発明の第 4 の実施の形態を示す図であって、第 2 図と同様に、表示領域 1 A の構造を示す断面図及び平面図であり、断面

図（a）は、平面図（b）のD-D'線断面図である。なお、上記各実施の形態と同様の構成には、同じ符号を付し、その重複する説明は省略する。

すなわち、本実施の形態では、スイッチング薄膜トランジスタ131及びカレント薄膜トランジスタ132の両方を、オフセット構造としている。ただし、スイッチング薄膜トランジスタ131のオフセット長の方を、カレント薄膜トランジスタ132のオフセット長よりも長くしている。

このような構造であっても、上記第3の実施の形態と同様に、スイッチング薄膜トランジスタ131のオフ電流の低減と、カレント薄膜トランジスタ132のオン電流の増加を同時に実現することができる。

産業上の利用可能性

以上説明したように、本発明によれば、スイッチング薄膜トランジスタのオフ電流の低減と、カレント薄膜トランジスタのオン電流の増加とを、同時に実現することができるから、保持容量に対する電荷の保持をより確実に行えるとともに、画素電極に対する十分な通電をより確実に行うことができるという効果がある。

請 求 の 範 囲

1. 複数の走査線、複数の信号線及び複数の共通給電線が形成され、前記走査線と前記信号線との各交点に対応して、スイッチング薄膜トランジスタ、カレント薄膜トランジスタ、保持容量及び画素電極が形成され、

前記スイッチング薄膜トランジスタは、前記走査線の電位により、前記信号線と前記保持容量との導通を制御し、

前記カレント薄膜トランジスタは、前記保持容量の電位により、前記共通給電線と前記画素電極との導通を制御する表示装置において、

前記スイッチング薄膜トランジスタは、オフ電流の低減を重視したトランジスタであり、

前記カレント薄膜トランジスタは、オン電流の増加を重視したトランジスタであることを特徴とする表示装置。

2. 複数の走査線、複数の信号線及び複数の共通給電線が形成され、前記走査線と前記信号線との各交点に対応して、スイッチング薄膜トランジスタ、カレント薄膜トランジスタ、保持容量及び画素電極が形成され、

前記スイッチング薄膜トランジスタは、前記走査線の電位により、前記信号線と前記保持容量との導通を制御し、

前記カレント薄膜トランジスタは、前記保持容量の電位により、前記共通給電線と前記画素電極との導通を制御する表示装置において、

前記スイッチング薄膜トランジスタのチャネル領域と高濃度不純物領域との間には、低濃度不純物領域が形成され、

前記カレント薄膜トランジスタのチャネル領域と高濃度不純物領域とは、直接接続していることを特徴とする表示装置。

3. 複数の走査線、複数の信号線及び複数の共通給電線が形成され、

前記走査線と前記信号線との各交点に対応して、スイッチング薄膜トランジスタ、カレント薄膜トランジスタ、保持容量及び画素電極が形成され、

前記スイッチング薄膜トランジスタは、前記走査線の電位により、前記信号線と前記保持容量との導通を制御し、

前記カレント薄膜トランジスタは、前記保持容量の電位により、前記共通給電線と前記画素電極との導通を制御する表示装置において、

前記スイッチング薄膜トランジスタ及び前記カレント薄膜トランジスタのそれぞれのチャンネル領域と高濃度不純物領域との間には、低濃度不純物領域が形成され、

前記スイッチング薄膜トランジスタの低濃度不純物領域長の方が、前記カレント薄膜トランジスタの低濃度不純物領域長よりも長いことを特徴とする表示装置。

4. 複数の走査線、複数の信号線及び複数の共通給電線が形成され、前記走査線と前記信号線との各交点に対応して、スイッチング薄膜トランジスタ、カレント薄膜トランジスタ、保持容量及び画素電極が形成され、

前記スイッチング薄膜トランジスタは、前記走査線の電位により、前記信号線と前記保持容量との導通を制御し、

前記カレント薄膜トランジスタは、前記保持容量の電位により、前記共通給電線と前記画素電極との導通を制御する表示装置において、

前記スイッチング薄膜トランジスタのチャンネル領域と高濃度不純物領域との間には、チャンネル領域と同程度の不純物濃度の領域が形成され、

前記カレント薄膜トランジスタのチャンネル領域と高濃度不純物領域とは、直接接続していることを特徴とする表示装置。

5. 複数の走査線、複数の信号線及び複数の共通給電線が形成され、

前記走査線と前記信号線との各交点に対応して、スイッチング薄膜トランジスタ、カレント薄膜トランジスタ、保持容量及び画素電極が形成され、

前記スイッチング薄膜トランジスタは、前記走査線の電位により、前記信号線と前記保持容量との導通を制御し、

前記カレント薄膜トランジスタは、前記保持容量の電位により、前記共通給電線と前記画素電極との導通を制御する、薄膜トランジスタ表示装置において、

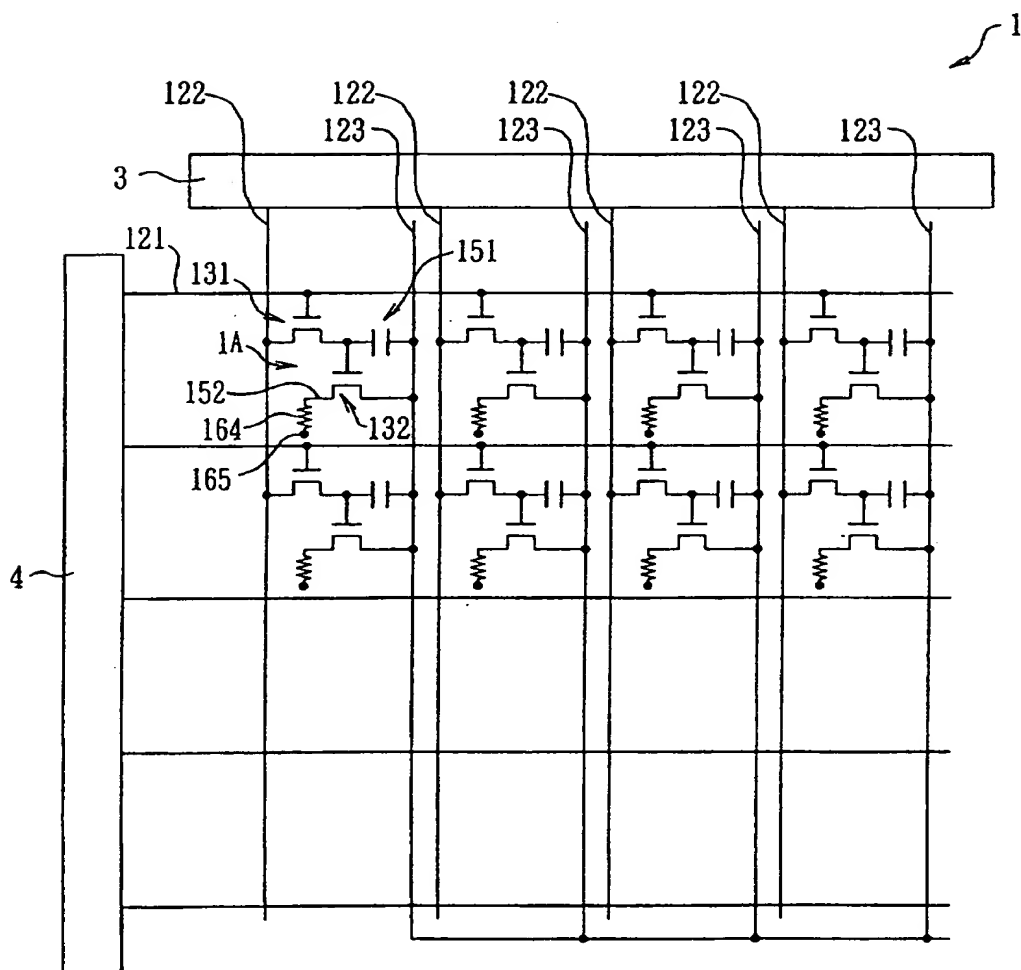
前記スイッチング薄膜トランジスタ及び前記カレント薄膜トランジスタのそれぞれのチャネル領域と高濃度不純物領域との間には、チャネル領域と同程度の不純物濃度の領域が形成され、

前記スイッチング薄膜トランジスタの前記チャネル領域と同程度の不純物濃度の領域長の方が、前記カレント薄膜トランジスタの前記チャネル領域と同程度の不純物濃度の領域長よりも長いことを特徴とする表示装置。

6. 前記保持容量が、前記走査線と、前記スイッチング薄膜トランジスタまたは前記カレント薄膜トランジスタのチャネル領域との間のゲート絶縁膜を利用して形成されている請求の範囲第1～5項のいずれかに記載の表示装置。

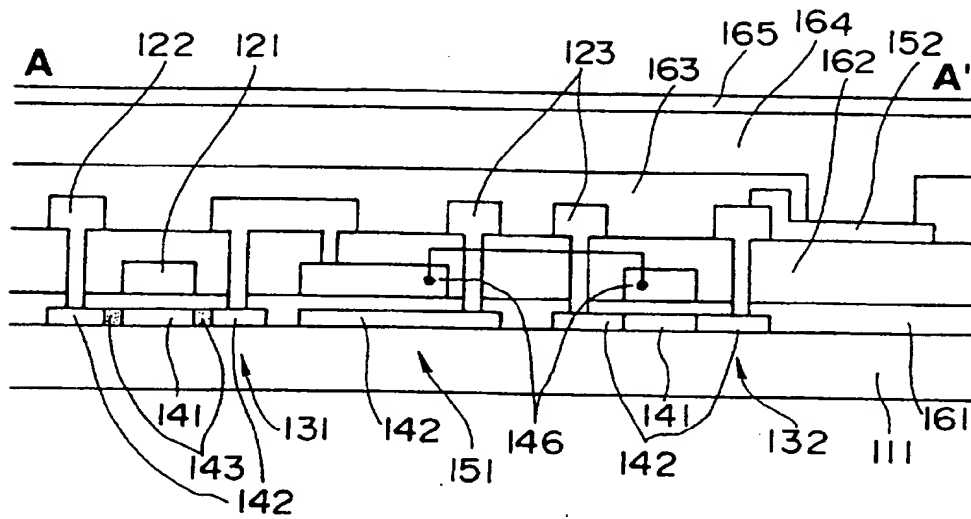
7. 前記保持容量が、前記走査線と、前記信号線との間の、層間絶縁膜を利用して形成されている請求の範囲第1～5項のいずれかに記載の表示装置。

第 1 図

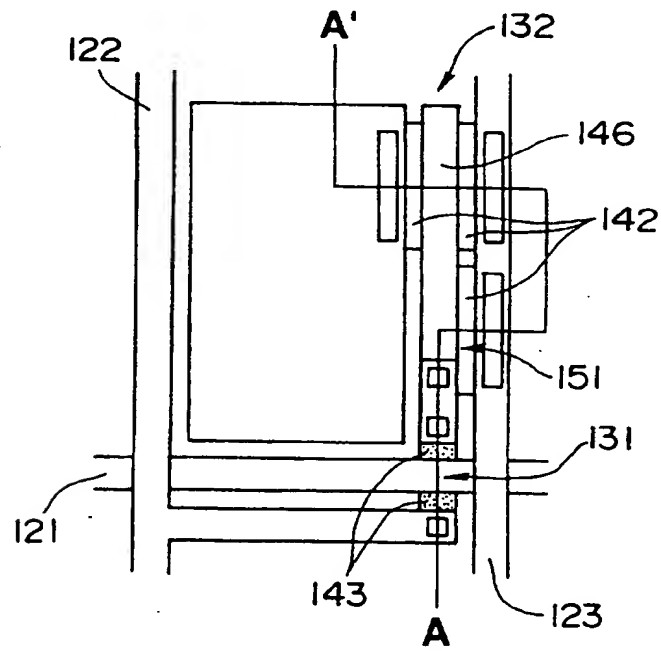


第2図

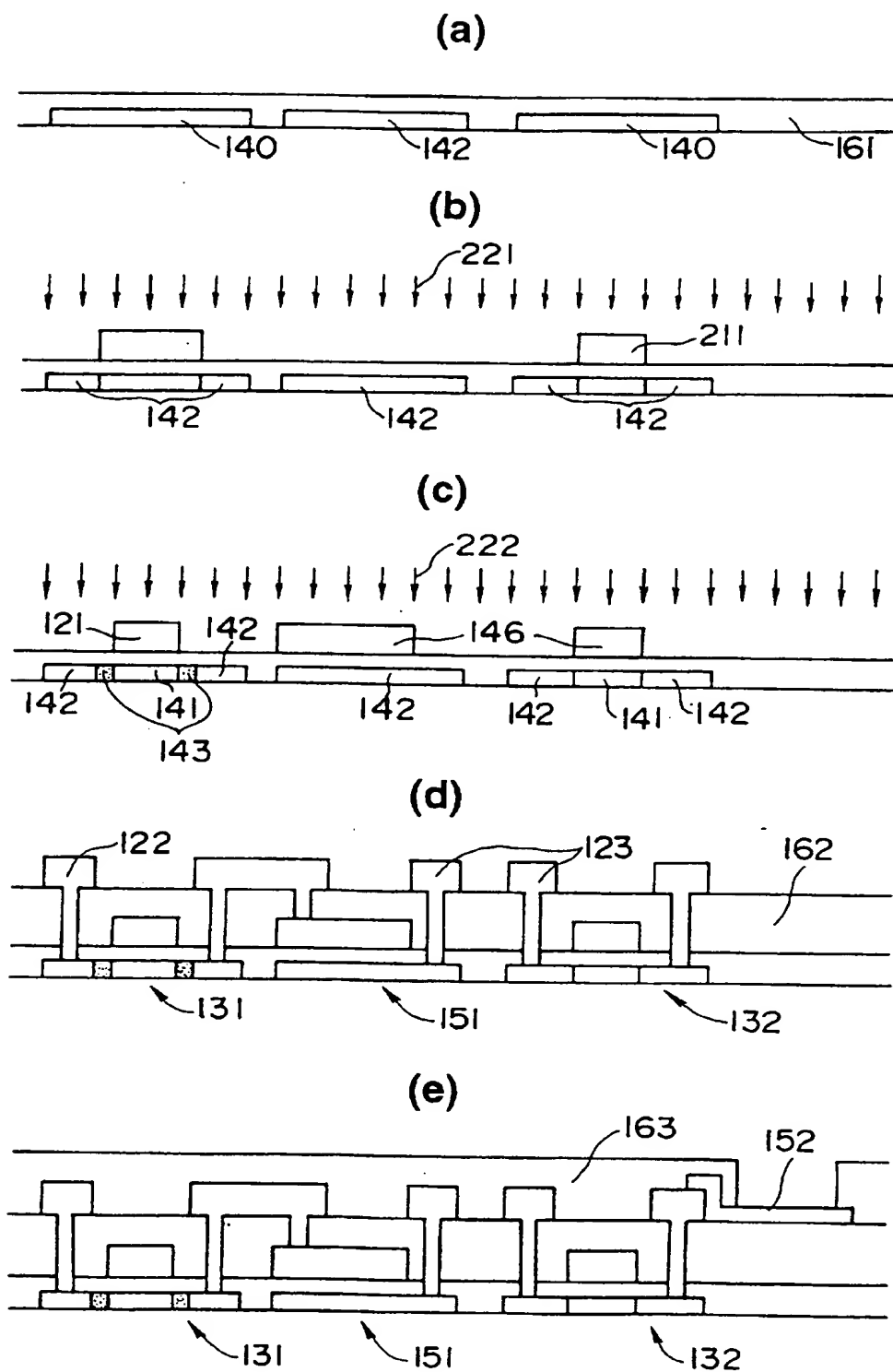
(a)



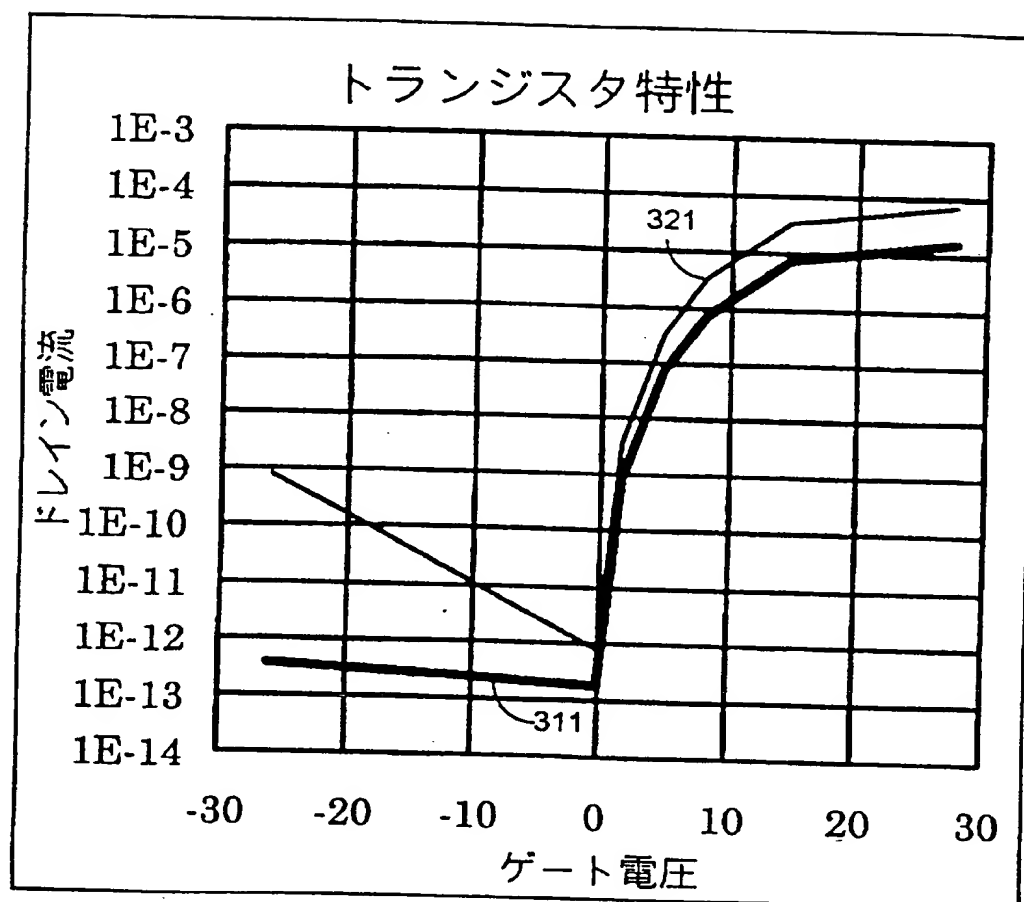
(b)



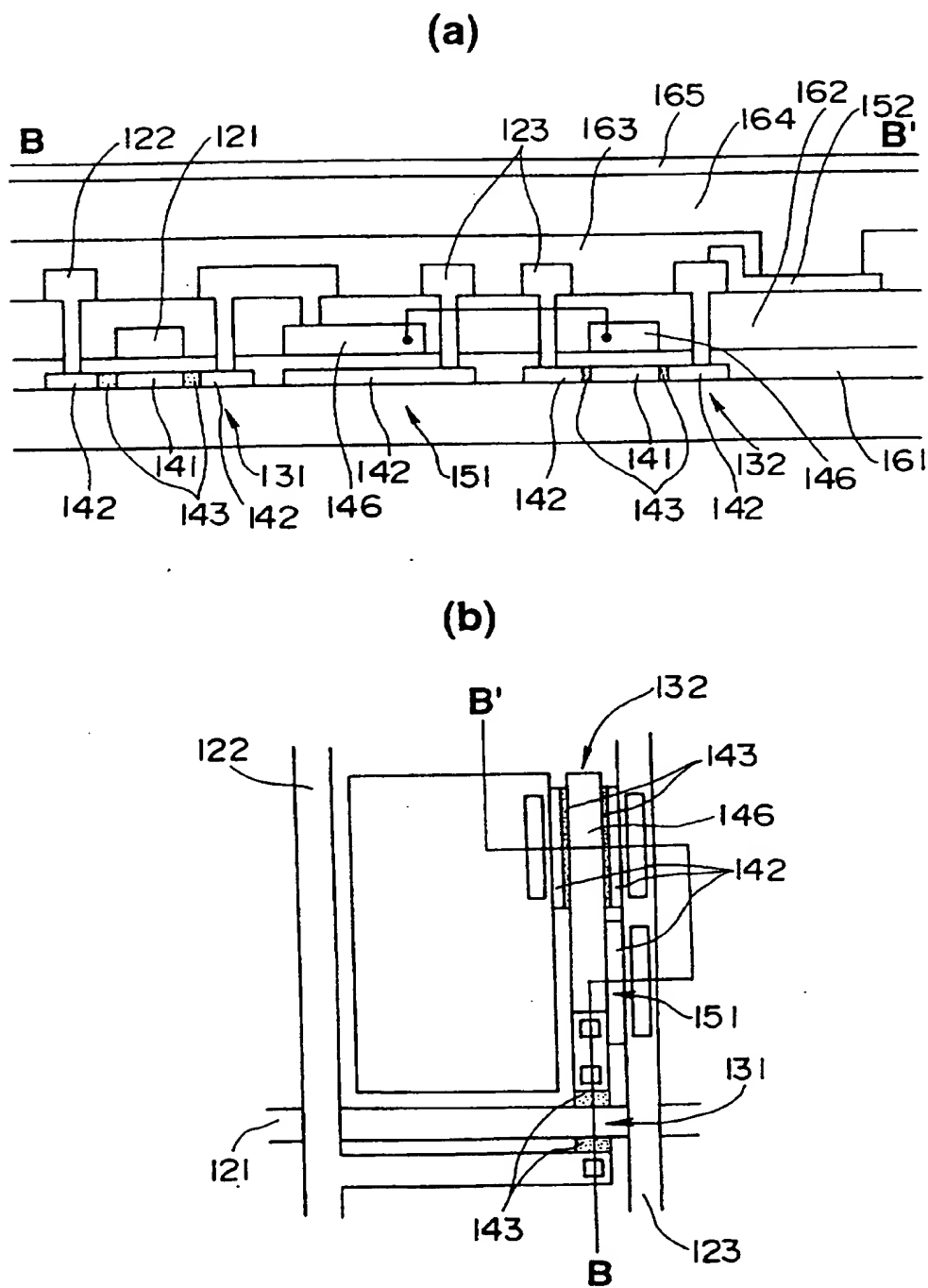
第3図



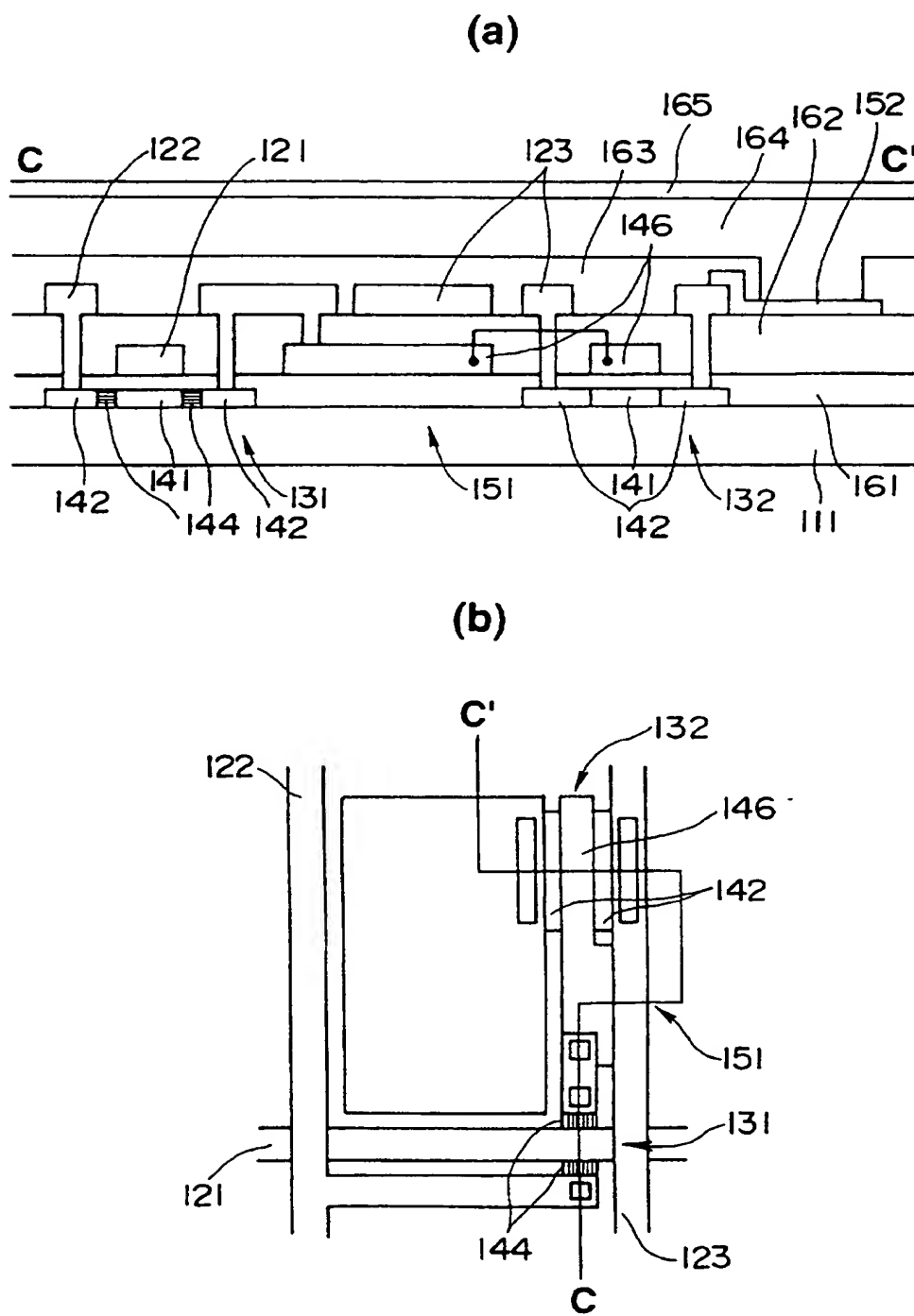
第4図



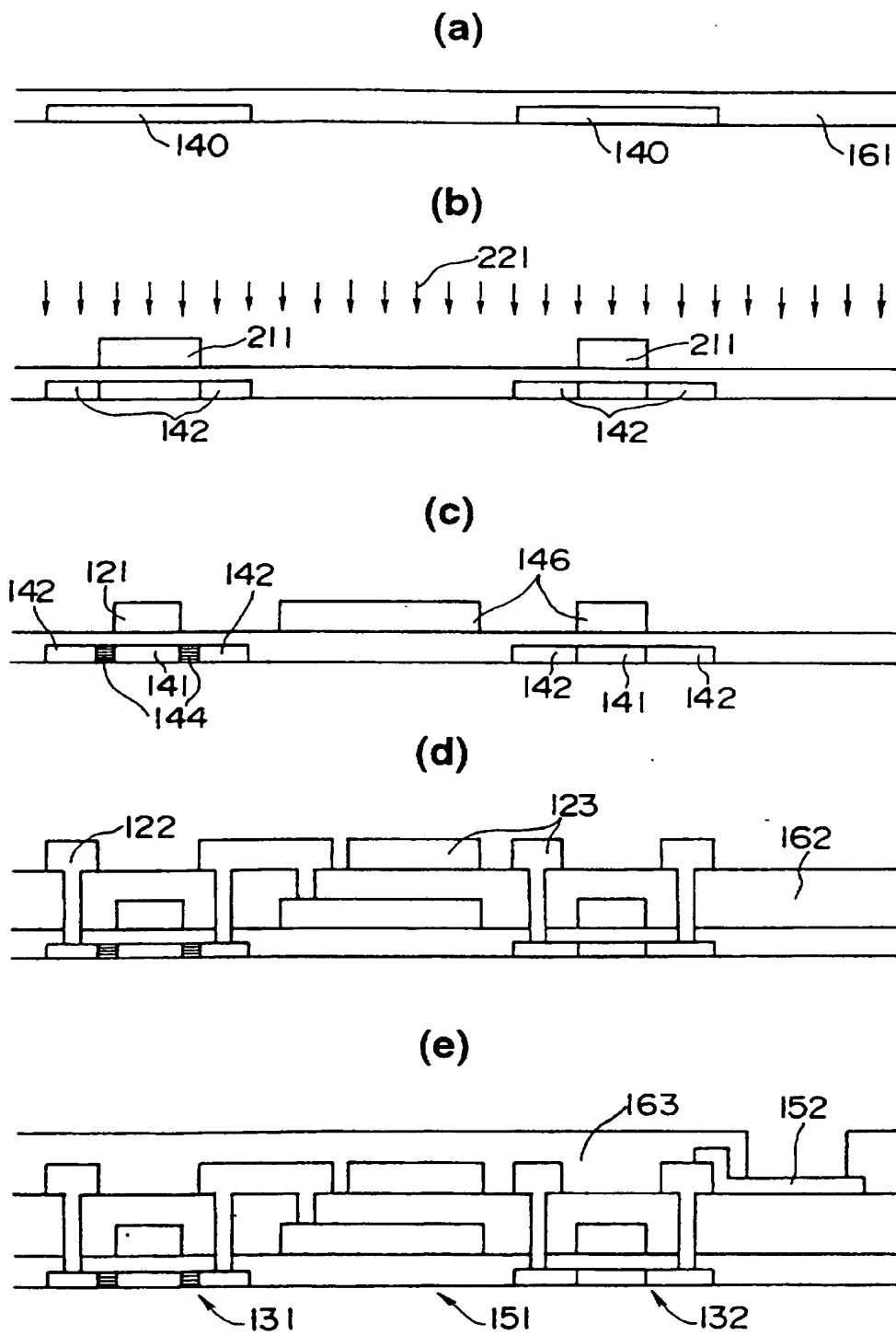
第5図



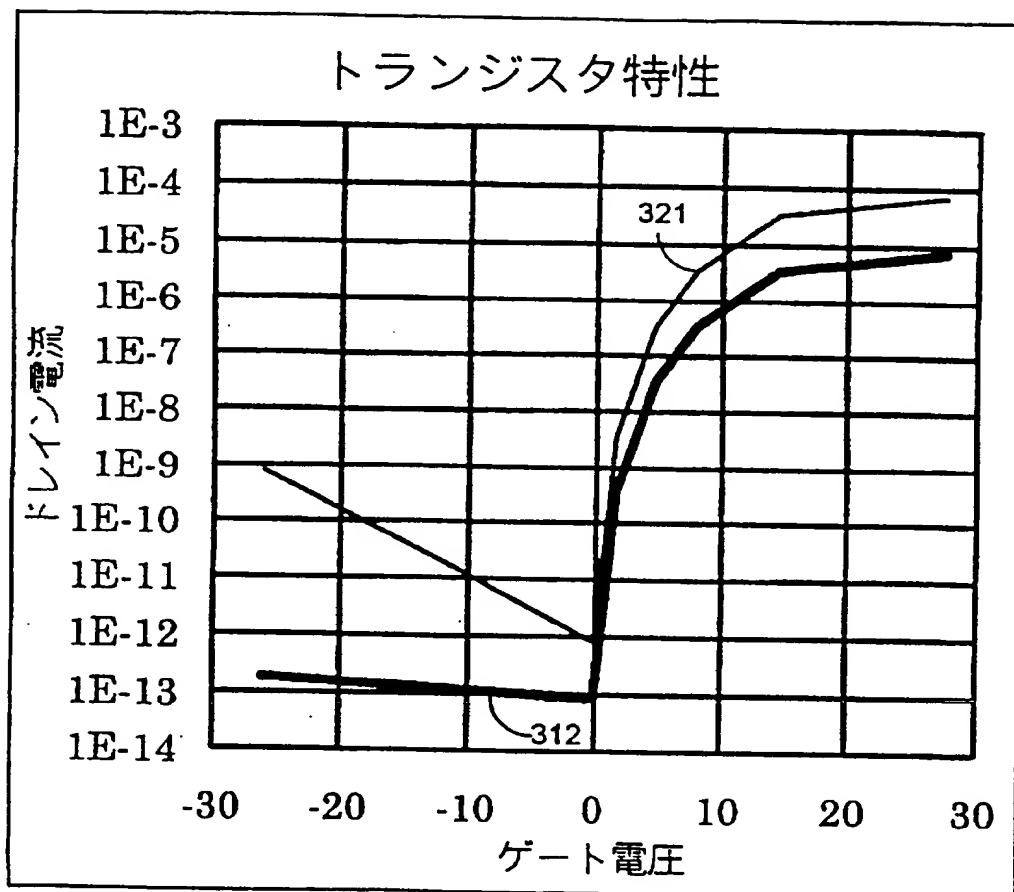
第 6 図



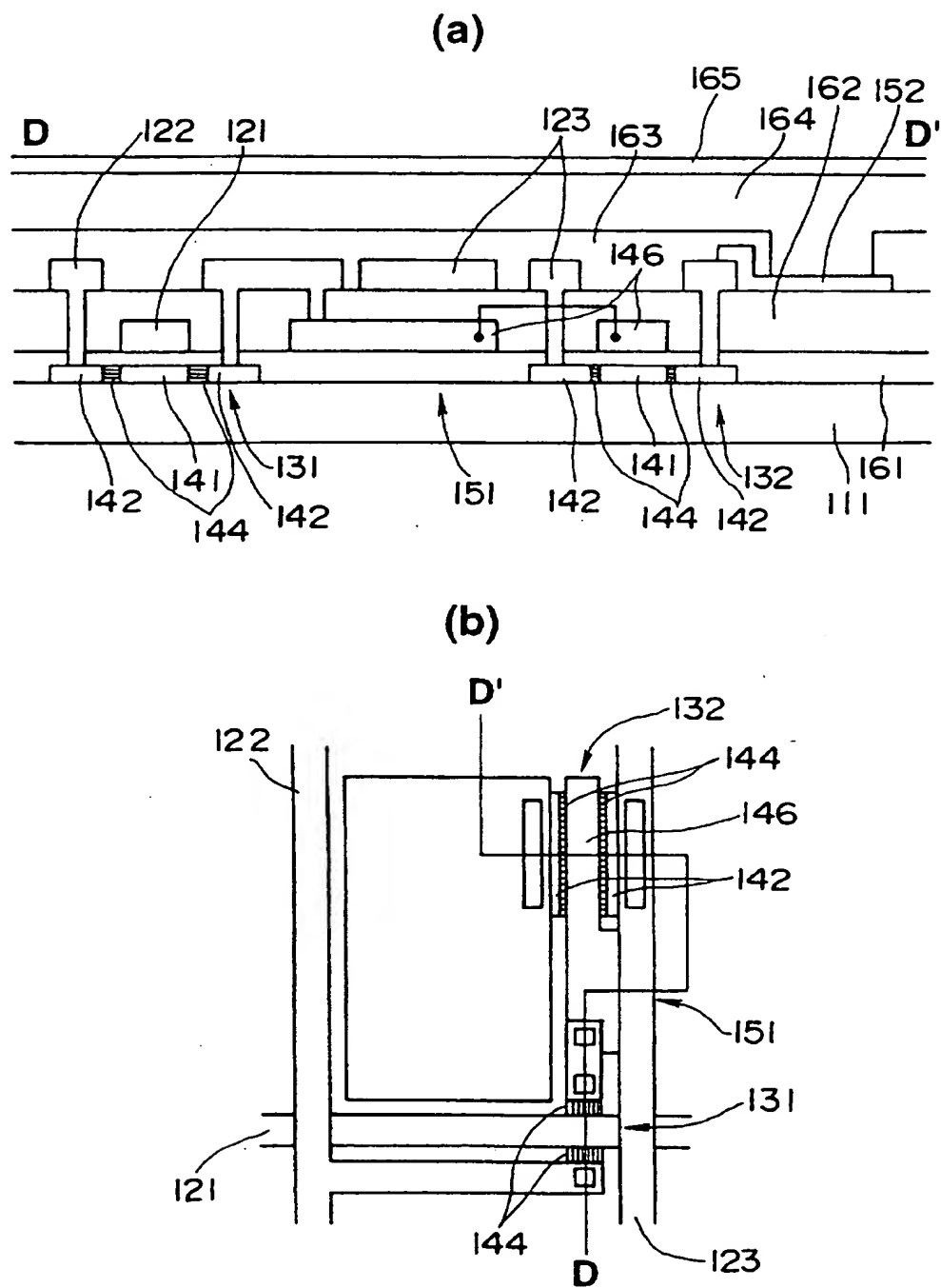
第7図



第8図

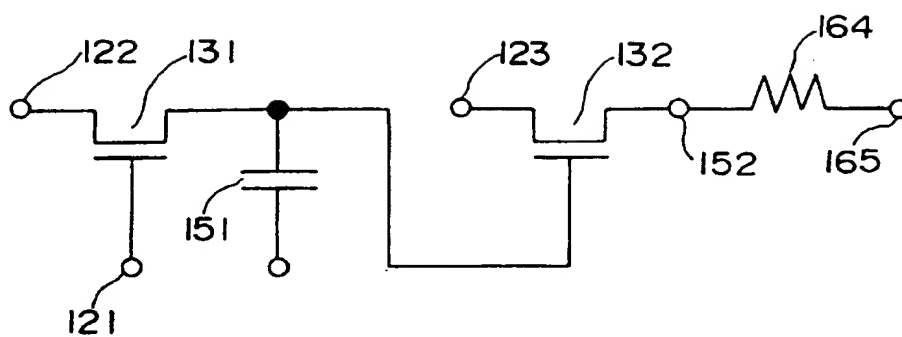


第9図

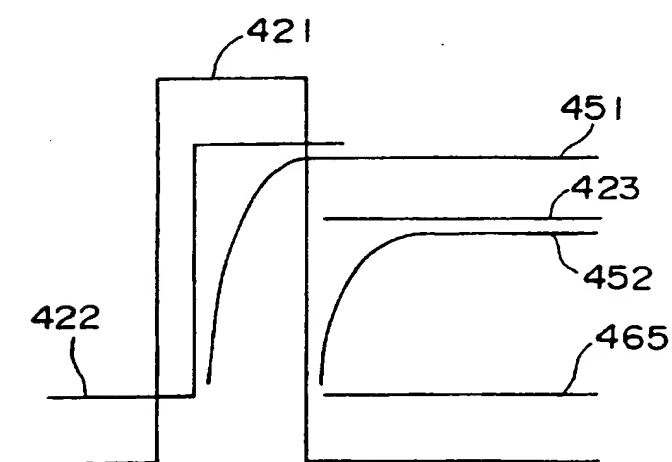


第 10 図

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03424

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G09F9/30, H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G09F9/30, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1997
Kokai Jitsuyo Shinan Koho	1971 - 1997
Toroku Jitsuyo Shinan Koho	1994 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-362616, A (Casio Computer Co., Ltd.), December 15, 1992 (15. 12. 92) (Family: none)	1 - 6
A	JP, 8-116067, A (Sanyo Electric Co., Ltd.), May 7, 1996 (07. 05. 96) (Family: none)	1 - 6
A	JP, 60-33593, A (Matsushita Electric Industrial Co., Ltd.), February 20, 1985 (20. 02. 85) (Family: none)	1 - 6

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

December 12, 1997 (12. 12. 97)

Date of mailing of the international search report

December 24, 1997 (24. 12. 97)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁶ G09F9/30 H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁶ G09F9/30 H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1997
 日本国公開実用新案公報 1971-1997
 日本国登録実用新案公報 1994-1997

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 4-362616, A(カシオ計算機株式会社) 15. 12月1992(15. 12. 92) ファミリーなし	1-6
A	JP, 8-116067, A(三洋電機株式会社) 7. 5月1996(7. 5. 96) ファミリーなし	1-6
A	JP, 60-33593, A(松下電器産業株式会社) 20. 2月1985(20. 2. 85) ファミリーなし	1-6

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」先行文献ではあるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

12. 12. 97

国際調査報告の発送日

24.12.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大野 克人

5H 7706

電話番号 03-3581-1101 内線 3532